

Tutorato Architettura degli Elaboratori 04

Alberto Paparella¹

10 Aprile 2025

¹Dipartimento di Matematica e Informatica, Università degli studi di Ferrara

Esercizio 1

Si tracci il grafo di transizione dello stato di una FSM con un ingresso x e due uscite y_1 e y_0 .

La FSM (di Mealy) riceve serialmente su x delle parole di 3 bit ciascuna e produce in uscita su ciascun bit la codifica binaria del numero di 1 ricevuti fino a quel periodo di clock (nella parola corrente).

Esercizio 2

Si tracci il grafo di transizione dello stato di una FSM con un ingresso x e due uscite y_1 e y_0 .

La FSM (di Mealy) osserva i bit ricevuti serialmente su x . Se la FSM riceve la sequenza 101 ($x_{k-2}, x_{k-1}x_k$), le uscite si portano a 01, se riceve 110, le uscite si portano a 10 (sull'ultimo bit ricevuto, in entrambi i casi).

Negli altri casi, le uscite valgono 00.

Si noti che due sequenze non possono essere sovrapposte (ad esempio, se si riceve 0...01101, le uscite si portano a 10 in quanto si riconosce 110, ma poi tornano a 00 senza considerare la prima occorrenza di 101).

Esercizio 3

Si effettuino le seguenti conversioni:

(a) $78_{10} \implies \text{base 2}$

(b) $79_{10} \implies \text{base 2}$

(c) $49_{10} \implies \text{base 2}$

(d) $-56_{10} \implies \text{base 2 (in complemento a 2 su 8 bit)}$

(e) $-44_{10} \implies \text{base 2 (in complemento a 2 su 8 bit)}$

(f) $-29_{10} \implies \text{base 2 (in complemento a 2 su 8 bit)}$

(g) $B8$ (intero con segno in esadecimale su 8 bit) $\implies \text{base 10}$

(h) $8E$ (intero con segno in esadecimale su 8 bit) $\implies \text{base 10}$

(i) BE (intero con segno in esadecimale su 8 bit) $\implies \text{base 10}$

(j) 11010_2 (naturale) $\implies \text{base 10}$

(k) 111010_2 (naturale) $\implies \text{base 10}$

(l) 100101_2 (naturale) $\implies \text{base 10}$

Esercizio 4

Una libreria di componenti contiene half-adder, full-adder e 4-bit adder

Utilizzando tali componenti (non necessariamente tutti) si realizzi un sommatore di due numeri naturali X e Y rappresentati rispettivamente con 5 e 4 bit.

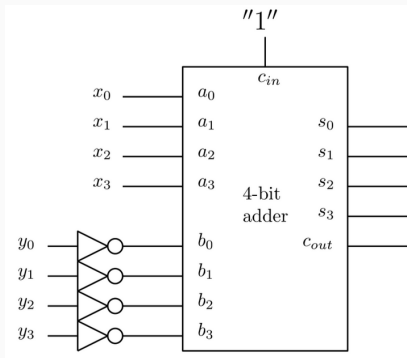
Si cerchi di ridurre il costo della soluzione proposta.

Esercizio 5

Si utilizzi un sommatore a 4 bit per realizzare una rete che, dati due interi senza segno X e Y rappresentati su 3 bit, calcoli l'espressione $X + 2 * Y + 1$.

Esercizio 6

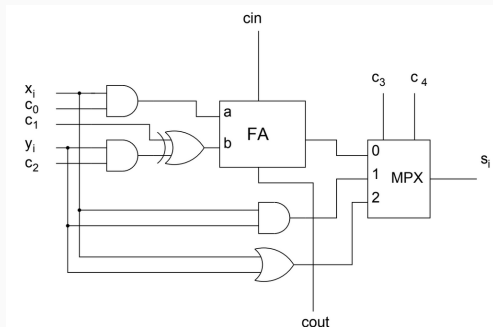
Si consideri la rete indicata e si descriva l'espressione aritmetica dell'uscita ($S = \{s_3, s_2, s_1, s_0\}$ senza c_{out}) in funzione dei due ingressi X e Y che si suppone rappresentino due interi con segno rappresentati in complemento a 2.



Esercizio 7

In riferimento allo schema logico di una slice di una ALU, si determini il valore che devono avere i bit di controllo perchè l'operazione svolta sia la complementazione logica bit a bit di uno dei due ingressi (x o y).

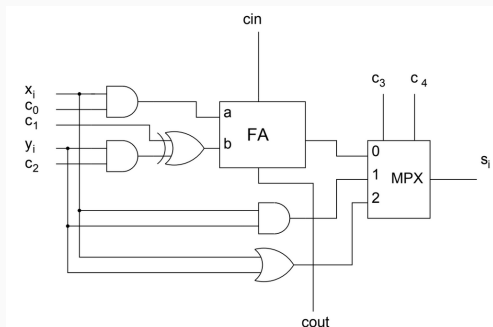
Si noti che tale operazione corrisponde all'esecuzione di un'istruzione di tipo *not* dell'assembler MIPS.



Esercizio 8

In riferimento allo schema logico di una slice di una ALU, si determini l'operazione svolta dalla ALU quando i bit di controllo hanno il valore indicato.

c_0	c_1	c_2	c_3	c_4
1	1	0	0	0



Esercizio 9

Si descriva sinteticamente la funzione svolta dalla rete in figura composta di un decoder e di un multiplexer cui arrivano 2 parole x e y di 2 bit ciascuna.

